

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-205853

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)9月9日

H 01 L 21/82  
21/32058225-5F H 01 L 21/82  
6810-5F 21/88T  
Z

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 平2-821

⑰ 出 願 平2(1990)1月6日

⑱ 発 明 者 金 杉 昭 徳 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一

## 明 細 書

に結線していることを特徴とする。

## 1. 発明の名称

半導体集積回路

(産業上の利用分野)

本発明は半導体装置にかかり、特に大規模集積回路の電極形状に関する。

## 2. 特許請求の範囲

単一半導体基板上に複数ブロックの集積回路素子が配置され、該集積回路素子ブロックの電極パッドが内部に多数孔を設けた中空形状からなり、該電極パッドが前記集積回路素子ブロックを相互に結線してなることを特徴とする半導体集積回路。

半導体集積回路(IC)は益々高密度化、高集積化されて、例えば、ウエハースケール集積回路(wafer scale integration)が研究されているが、本発明はそれら大規模集積回路の高集積化、高性能化のための提案に関する。

## 3. 発明の詳細な説明

(概要)

大規模集積回路の電極形状に関し、  
大規模集積回路を一層小型化することを目的とし、

(従来技術)

従来のIC、LSIを一層高集積化して高性能化するために大規模集積回路の種々の構造が考えられているが、その一つにウエハースケール集積回路がある。このウエハースケール集積回路は1つのウエハー上にブロック状の集積回路素子を複数個形成して回路間の相互配線長を短くし、信号遅延時間を短縮させることに一つの大きな特徴がある。しかし、そのために特有の技法を用いる必

単一半導体基板上に複数ブロックの集積回路素子が配置され、該集積回路素子ブロックの電極パッドが内部に多数孔を設けた中空形状からなり、該電極パッドが前記集積回路素子ブロックを相互

要があって、それは同一回路構成よりなる集積回路素子ブロックをウエハー上に複数個形成し、ウエハーテスト（ブローパテスト）によって良品ブロックを選別して、その良品ブロックのみを結線して大規模集積回路に仕上げる方法である。

従って、配線には不良ブロックを迂回する配線を形成しなければならないが、現在、大別すると二通りの方法があって、一つは集積回路素子ブロックのすべてを予め結線しておき、不良ブロックの配線を切断する（ヒューズを切る）という回路的な方法で、他の一つは良品ブロックを選別した後に必要な配線を形成して接続したり、また、配線全体を形成するというプロセス的な方法が知られている。しかし、何れも一長一短があって、両法を混合した方法が用いることも多い。

第4図はそのウエハースケール集積回路の平面図を示しており、図中の記号1は集積回路素子ブロック、2は外部リードに接続する電極パッドで、ウエハーテストをおこなって良品ブロック1G（○を記入してある）と不良ブロック1Bとに選別し、

良品ブロック1Gのみ配線を形成して結線するものである。なお、本図には配線を図示していないが、第5図にウエハースケール集積回路の部分平面図を示しており、記号3がブロック間の相互配線で、他の記号は第4図と同一である。この本例の配線アルゴリズムは予め設定した配線ネットを選択して形成するというプロセス的な方法を示している。

第6図は1個の集積回路素子ブロックの平面図を示し、本図はゲートアレイの例で、中央部分にセルアレイ11を設け、最外部に電極パッド12、その中間に入出力セル13と電源回路14とを配置した構成である。

#### 〔発明が解決しようとする課題〕

ところで、集積回路素子ブロック1間に設ける相互配線3は集積回路素子ブロック内部の電極パッド12の間に形成されるが、この電極パッド12は一辺100～200 $\mu$ m程度の面積を有する方形で、膜厚1～2 $\mu$ mの金属膜（例えば、アルミニウム膜）で作成されている。第7図に従来の電極パ

ッドの平面図を図示しており、記号12は電極パッド、3は相互配線である。

このように大きな形状の電極パッド12を必要とする理由は、ウエハーテストの際、この電極パッドにブローブ（針）を接触させて集積回路素子ブロック1の良否を選別させるためで、上記の寸法はそれに適した面積となっている。

しかし、このように大きな面積の導電体は容量（C）が附加することになって、大規模集積回路の動作時に重い負荷となる。従来、その電極パッド12の負荷が重いために所要以上の大きな入出力セル13を設ける必要を生じており、これは集積回路素子ブロックの小型化を阻害する欠点になっていた。

本発明はこのような問題を低減させ、大規模集積回路を一層小型化することを目的とした半導体集積回路を提案するものである。

#### 〔課題を解決するための手段〕

その課題は、第1図、第2図のように、単一半

導体基板上に複数ブロックの集積回路素子が配置され、該集積回路素子ブロックの電極パッド21、22が内部に多数孔を設けた中空形状からなり、該電極パッドが前記集積回路素子ブロックを相互配線3している半導体集積回路によって解決される。

#### 〔作用〕

即ち、本発明は、周囲に枠を有して内部に多数孔を有する中空の（蜂の巣状の）電極パッドを設け、その電極パッドの占有面積は従来の電極パッドとはほぼ等しく、実質面積が小さな電極パッドの形状にする。

そうすれば、ウエハーテスト時のブローブ接触もでき、且つ、附加容量（C）が小さくなるから入出力セルを小型化できる。従って、大規模集積回路の小型化に役立つ。

#### 〔実施例〕

以下、図面を参照して実施例によつて詳細に説明する。

第1図は本発明にかかる電極パッド(Ⅰ)の平面図を示しており、記号3は相互配線、21は電極パッドである。この電極パッド21は図のように方形孔を整然と形成した中空状に作成されているが、全体の占有面積は従来と同様に一辺100~200 $\mu$ m角の面積を有する方形状で、膜厚も従来と同様に1~2 $\mu$ m程度の金属膜で形成されている。

従って、占有面積は従来と同じ電極パッドの大きさであるから、プローブを接触させると線幅20 $\mu$ m程度の棒形状導電体の何れかにプローブが接触して導電でき、ウエハーテストをおこなうことができる。

且つ、方形孔部分だけ面積が減少するために、実質面積の小さな電極パッドになるが、配線に支障はなく、しかも、容量(C)が小さくなって、この電極パッドに接続する入出力セルを小さくすることが可能になる。

第2図は本発明にかかる電極パッド(Ⅱ)の平面図を示しており、記号3は相互配線、22は電極パッドである。この電極パッド22は方形孔の配置

が異なる形状で、同様に蜂の巣状に中空になった形状である。その他、同様に中空にした他の電極パッドの形状も考えられる。なお、外部接続電極パッド2(第4図参照)は従来と同様形状の電極パッド構造にするもので、これは外部リードを接続しているからである。

第3図は入出力セルの回路例を示し、記号21は本発明にかかる電極パッドである。上記の電極パッド21、22のような形状にすれば、第3図のような増幅回路からなる入出力セルを構成している個々のトランジスタ素子をそれぞれ微細に形成して、セル全体を小さくできる。例えば、第6図に示すセルアレイの論理セルと同じ大きさに小さくすることも可能になる。従って、その結果として大規模集積回路が小型化できるものである。

なお、上記実施例はウエハースケール集積回路によって説明したが、ウエハーの1/2、1/4の大きさの大規模集積回路にも適用できることは当然である。

#### [発明の効果]

以上の説明から明らかなように、本発明によれば入出力セルを微細化して大規模集積回路を一層小型化でき、更に高性能化することができる効果があるものである。

12、21、22は電極パッド、  
16は良品ブロック、  
18は不良ブロック、  
を示している。

代理人 弁理士 井 桁 貞 一



#### 4. 図面の簡単な説明

第1図は本発明にかかる金属パッド(Ⅰ)の平面図、

第2図は本発明にかかる金属パッド(Ⅱ)の平面図、

第3図は入出力セルの回路例図、

第4図はウエハースケール集積回路の平面図、

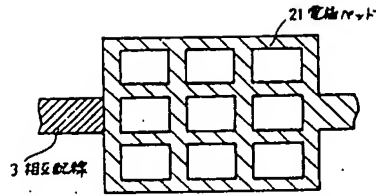
第5図はウエハースケール集積回路の部分平面図、

第6図は集積回路素子ブロックの平面図、

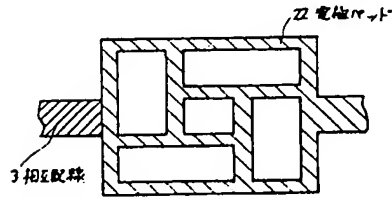
第7図は従来の金属パッドの平面図である。

図において、

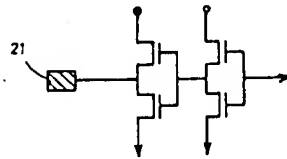
- 1は集積回路素子ブロック、
- 2は外部接続電極パッド、
- 3は相互配線、



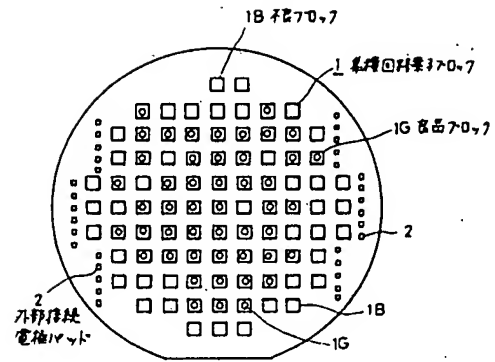
本発明にかかる電極パッド(21)の平面図  
第1図



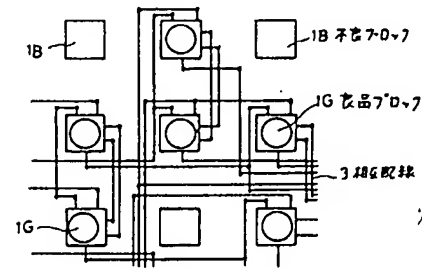
本発明にかかる電極パッド(22)の平面図  
第2図



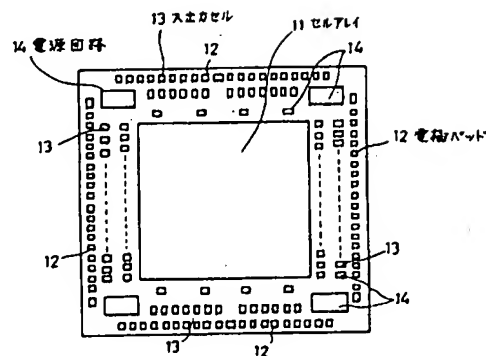
入力セルの回路例図  
第3図



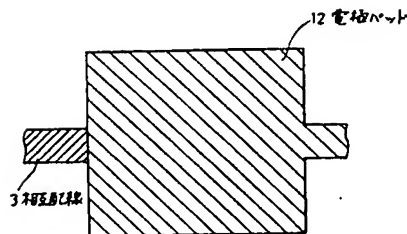
ホイール型集積回路の平面図  
第4図



ホイール型集積回路の部分平面図  
第5図



集積回路素子70.7の平面図  
第6図



従来の電極パッドの平面図  
第7図

**PAT-NO:** JP403205853A

**DOCUMENT-IDENTIFIER:** JP 03205853 A

**TITLE:** SEMICONDUCTOR INTEGRATED CIRCUIT

**PUBN-DATE:** September 9, 1991

**INVENTOR-INFORMATION:**

**NAME**

KANASUGI, AKINORI

**ASSIGNEE-INFORMATION:**

**NAME**

FUJITSU LTD

**COUNTRY**

N/A

**APPL-NO:** JP02000821

**APPL-DATE:** January 6, 1990

**INT-CL (IPC):** H01L021/82, H01L021/3205

**US-CL-CURRENT:** 257/786, 327/565

**ABSTRACT:**

**PURPOSE:** To further reduce in size a large-scale integrated circuit by disposing a plurality of blocks of integrated circuit elements on a single semiconductor substrate, forming the electrode pads of the blocks of a hollow shape having many holes therein, and wiring the blocks with the pads to each other.

**CONSTITUTION:** A plurality of blocks of integrated circuit elements are disposed on a single semiconductor substrate, electrode pads 21 of the blocks are formed of a hollow shape having many holes therein, and the blocks are wired with the pads 21 to each other. For example, the pads 21 are formed of a hollow shape in which rectangular holes are regularly arranged, its entire occupying area has a side of 100-200 $\mu$ m similarly to prior art and its metal film has a thickness of about 1-2 $\mu$ m similarly to the prior art. Thus, since a probe can be brought into contact with a wafer at the time of testing the wafer and an additional capacity (C) is reduced, input/output cells can be reduced in size. Accordingly, a large-scale integrated circuit can be further

reduced in size.

**COPYRIGHT: (C)1991,JPO&Japio**